



Soitec fait le point sur l'avancement de son projet NanoSmart

NanoSmart, un projet de recherche ambitieux du pôle Minalogic au cœur des nanotechnologies

- *la promotion d'une recherche compétitive sur le plan international*
- *un ancrage fort de la R&D sur le site de Soitec à Bernin (Grenoble)*
- *35 publications scientifiques publiées et une quarantaine de brevets déposés*

Bernin, France, le 8 février 2008 - Soitec (Euronext, Paris), le premier fabricant mondial de plaques de silicium sur isolant (SOI) et autres substrats avancés, dresse un état des lieux des premières avancées de son grand programme de recherche NanoSmart. Reposant sur la technologie brevetée de transfert de couches de Soitec (Smart Cut™), NanoSmart, financé par OSEO Innovation (anciennement Agence de l'innovation industrielle), s'inscrit dans **une dynamique d'innovation d'une recherche compétitive sur le plan international**.

À ce jour, Soitec, en collaboration avec le Léli dans le développement de ce projet, a publié environ **35 publications scientifiques (cf. annexe ci-dessous) présentées à des conférences internationales de renom et déposé près d'une quarantaine de brevets**.

Ce sont entre 100 et 150 personnes de Soitec et du CEA-Léli qui travaillent actuellement sur le développement de nouvelles générations de matériaux pour la fabrication de composants microélectroniques et optoélectroniques.

Les marchés visés de ce grand programme ambitieux couvrent le développement de nouvelles générations de matériaux avancés pour des applications dans : les marchés de **l'automobile** (composants de puissance), **le grand public** (audiovisuel domestique), **la communication** (composants faible consommation et haute fréquence pour les réseaux et autres applications nomades) et enfin pour des applications dans **l'optoélectronique** (éclairage et marché des diodes luminescentes).

Les premières étapes du projet portent sur :

- **Les matériaux semi-conducteurs III V***: Soitec a introduit une activité de recherche sur les matériaux composés sur le site de Bernin. La technologie brevetée de transfert de couches de Soitec (Smart Cut™) est utilisée sur ces matériaux. Cette diversification des activités en dehors du silicium est un nouveau défi pour le groupe sur ce site.
- **Le germanium** : Soitec a également introduit une activité de recherche sur le germanium à Bernin, matériau clé dans la course à la performance pour les applications informatiques et réseaux sans fils. Le CEA-Léli a développé un composant sur Germanium et démontré un gain en mobilité des électrons.
- **L'ingénierie de l'isolant** : Soitec a démontré la faisabilité de substrat à isolant multicouches ; ces empilements de nouveaux diélectriques répondront mieux à la minimisation de l'échauffement des composants pour les circuits de puissance.
- **La validation des innovations sur des composants électroniques par le Léli** : ces nouveaux substrats sont une opportunité d'architectures plus avancées de composants et de synergie avec ses partenaires de Minalogic et internationaux.

* *Alliages de deux, trois, voire quatre éléments appartenant à la colonne 3 et la colonne 5 de la classification périodique.*



Quelques données sur NanoSmart

Partenaires : Soitec (avec sa filiale Picogiga) et le CEA-Léti

Financeurs : OSEO Innovation

Montants : 199 M euros

Aides : 62 M euros pour Soitec/Picogiga et 18 M euros pour le CEA-Léti

Durée : 5 ans (de mi 2006 à mi 2011)

Dates clés :

- Labellisation Minalogic : 12 décembre 2005
- Convention d'aide signée : 1^{er} octobre 2007
- Autorisation de l'aide par la Commission européenne : 12 septembre 2007

À propos du Groupe Soitec :

Soitec est le leader mondial dans la fourniture de substrats innovants pour l'industrie microélectronique de pointe. Le groupe produit une gamme étendue de matériaux avancés, notamment les plaques de silicium sur isolant (SOI) basées sur sa technologie Smart Cut™, la première application à fort volume de cette technologie. La technologie SOI apparaît aujourd'hui comme la plate-forme du futur, ouvrant la voie à la production de puces plus performantes, plus rapides et plus économiques.

Aujourd'hui, Soitec fabrique plus de 80% des plaques de silicium sur isolant. Basé à Bernin, en France, où se trouvent deux unités de production à fort volume, Soitec possède des bureaux aux USA, au Japon et à Taiwan, ainsi qu'un nouveau site de production à Singapour actuellement en phase de qualification.

Le groupe comporte deux autres divisions : Picogiga International aux Ulis et Tracit Technologies à Bernin. Picogiga est spécialisé dans le développement et la fabrication de substrats innovants, depuis les plaques épitaxiées de semi-conducteurs III-V et les plaques à base de nitrure de gallium (GaN), jusqu'aux substrats composés pour la fabrication de dispositifs électroniques à haute fréquence ou optoélectroniques. Tracit est spécialisé dans la technologie de transfert de couches minces utilisée dans la production de substrats innovants destinés aux micro-systèmes et aux circuits intégrés de puissance, ainsi que dans la technologie de transfert de circuit pour des applications telles que les capteurs d'image et l'intégration 3D. Les actions du groupe Soitec sont cotées sur Euronext Paris. Des informations complémentaires sont disponibles sur le site Internet www.soitec.fr

Soitec, Smart Cut et UNIBOND sont des marques déposées de S.O.I.TEC Silicon On Insulator Technologies.

Pour toute information, merci de contacter:

Relations Presse – H & B Communication

Marie-Caroline Saro – Nadège Chapelin – Tel. 33 (0)1 58 18 32 44

Email : mc.saro@hbcommunication.fr

Soitec

Camille Darnaud-Dufour - Directrice de la Communication – Tel. 33 (0)6 79 49 51 43

Email : camille.darnaud-dufour@soitec.com



Liste publications NanoSmart

Publications SOITEC 2006-2007

Book Chapters

1. New Developments of Semiconductor Materials and Devices for High Frequency Applications, Chapter 3, (in Japanese), Makoto Yoshimi, CMC Books, Nov.13, 2006, pp.108-116.
2. Advanced High-Mobility Semiconductor-On-Insulator Materials, B. Ghyselen, I. Cayrefourcq, M. Kennard, F. Letertre, T. Akatsu, G. Celler, and C. Mazure, in "Advanced Gate Stacks on High Mobility Semiconductors" edited by A. Dimoulas, E. Gusev, P. McIntyre and M. Heyns (Springer Material Science series 2006).
3. SOI Materials and Devices, S. Cristoloveanu and G. K. Celler, Chapter 4 of *Handbook of Semiconductor Manufacturing Technology, 2nd edition*, edited by R. Doering and Y. Nishi (CRC Press, Taylor and Francis Group, Boca Raton, FL, 2007).

Refereed Papers

1. Fabrication and characterisation of 200 mm germanium-on-insulator (GeOI) substrates made from bulk germanium, C. Deguet, L. Sanchez, T. Akatsu, [F. Allibert](#), J. Dechamp, F. Madeira, F. Mazen, A. Tauzin, V. Loup, C. Richtarch, D. Mercier, T. Signamarcheix, F. Letertre, B. Depuydt, and N. Kernevez, *Electronics Letters* 42 (7), p. 415-417, (30 March 2006).
2. Advanced Electronic Substrates for the Nanotechnology Era, Carlos Mazuré and George K. Celler, *The Electrochemical Society Interface*, Vol. 15, No. 4, pp. 33-40 (January 2007).
3. The effect of order and dose of H and He co-implant on defect formation and evolution in silicon, Phuong Nguyen, K. K. Bourdelle, T. Maurice, N. Sousbie, A. Boussagol, X. Hebras and L. Portigliatti, F. Letertre, A. Tauzin, and N. Rochat, *J. Appl. Phys.* 101, 033506 (Feb. 2007).
4. Study of HCl and Secco Defect Etching for Characterization of Thick sSOI, A. Abbadie, S. W. Bedell, J. M. Hartmann, D. K. Sadana, F. Brunier, C. Figuet, and I. Cayrefourcq, *J Electrochem Soc.* 154 (8), H713-H719 (2007). (Soitec, IBM, LETI)
5. Comparison of platelet formation in hydrogen and helium-implanted silicon, X. Hebras, P. Nguyen, K. K. Bourdelle, F. Letertre, N. Cherkashin, and A. Claverie, *Nuclear Inst. and Methods in Physics Research*, B, 262, pp. 24-28 (Aug. 2007)
6. Quantitative study of hydrogen-implantation-induced cavities in silicon by grazing incidence small angle x-ray scattering, Luciana Capello, F. Rieutord, A. Tauzin, and F. Mazin, *J. Appl. Phys.* 102, 026106 (2007).
7. Raman spectroscopy study of damage and strain in (001) and (011) Si induced by hydrogen or helium implantation, C. Villeneuve, K. K. Bourdelle, V. Paillard, X. Hebras, and M. Kennard, (Soitec, CEMES-CNRS and Univ. Toulouse). *J Appl.Phys.* 102, 094905 (2007)

Conference Proceedings

1. Germanium-on-insulator (GeOI) Substrates - A novel engineered substrate for future high performance devices, Takeshi Akatsu, Chrystel Deguet, Loic Sanchez, Frédéric Allibert, Denis Rouchon, Thomas Signamarcheix, Claire Richtarch, Alice Boussagol, Virginie Loup, Frédéric Mazen, Jean-Michel Hartmann, Yves Campidelli, Laurent Clavelier, Fabrice Letertre, Nelly Kernevez, and Carlos Mazuré, *Materials Science in Semiconductor Processing* 9 (2006) 444-448 (proc. of E-MRS 2006 Symp T).
2. Wafer-level stress in combination with process induced stress for optimum performance enhancement, I. Cayrefourcq, A. Boussagol and G. Celler, in *SiGe and Ge: Materials, Processing, and Devices*, ECS Trans. 3, (7) 399 (2006).
3. Dislocation Pile-Up Quantification Using Automated Room Temperature Photoluminescence Mapping, Andrzej Buczkowski, Nicolas Laurent, Amit Shachaf, Tom Walker, Steven Hummel, Cécile Berne, and Mark Kennard, in *SiGe and Ge: Materials, Processing, and Devices*, ECS Trans. 3, (7) pp. 1057-1065 (2006).
4. Fabrication of Directly Bonded Si Substrates with Hybrid Crystal Orientation for Advanced Bulk CMOS Technology, K. K. Bourdelle, O. Rayssac, A. Lambert, F. Fournel, X. Hebras, F. Allibert, C. Figuet, A. Boussagol, C. Berne, K. Tsyganenko, F. Letertre, and C. Mazuré, in *High Purity Si Symposium*, ECS Trans. 3, (4) 409-415 (2006).
5. Review Of Compound Materials Bonding And Layer Transfer For Optoelectronic Applications, B. Faure, in *Semiconductor Wafer Bonding IX*, ECS Trans. 3, (6) 1099 (2006).
6. Advanced Substrate Engineering for the Nanotechnology Era, Carlos Mazure, VLSI-TSA 2006.
7. Characterization and Damage-Free leaning of FinFET Structures, Rinn Cleavelin, Weize Xiong, Koki Mochizuki, Kara Sherman, Thomas Schulz, Klaus Schrufer, Paul Patruno, Jeffrey M. Lauerhaas, SEMATECH 2006 Surface Preparation and Cleaning Conference, Austin, TX, (May 2006) Proceedings volume at <http://sematech.org/meetings/archives/other/7422/index.htm>
8. Self heating Simulation of Multi-Gate FETs, W. Molzer, Th. Schulz, W. Xiong, C. R. Cleavelin†, K. Schrufer, A. Marshall, K. Matthews J. Sedmeir, D. Siprak, G. Knoblinger, L. Bertolissi, P. Patruno, J.P. Colinge, ESSDERC, Montreux, Switzerland, (Sept. 2006)



9. Embedding Device Solutions in Engineered Substrates, Carlos Mazuré, in *Silicon-on-Insulator Technology and Devices 13*, (Editors: G. Celler, S. Bedell, S. Cristoloveanu, F. Gamiz, B. Nguyen, Y. Omura), ECS Transactions, Volume 6, Issue 4, pp. 3-xx (2007). [doi:10.1149/1.2728835](https://doi.org/10.1149/1.2728835).
10. Intrinsic Advantages of SOI Multiple-Gate MOSFET (MuGFET) for Low Power Applications, Weize W. Xiong, C. Rinn Cleavelin, Che-Hua Hsu and Mike Ma, Klaus Schrufer, Klaus Von Arnim, Thomas Schulz, [Ian Cayrefourcq](#), [Carlos Mazure](#), [Paul Patruno](#), [Mark Kennard](#), Kyoungsub Shin, Sun Xin, and Tsu-Jae King Liu, Karim Cherkaoui, and J.P. Colinge, in *Silicon-on-Insulator Technology and Devices 13*, (edited by G. Celler et al.), ECS Transactions, Volume 6, Issue 4, pp. 59-x (2007). (Texas Instruments, Inc UMC Infineon Technologies SOITEC UC Berkeley Tyndall National Institute)
11. Evaluation of different etching techniques in order to reveal dislocations in thick Ge layers, A. Abbadie, J.M. Hartmann, C. Deguetb, L. Sanchez, F. Brunier, and F. Letertre, in *Silicon-on-Insulator Technology and Devices 13*, (edited by G. Celler et al.), ECS Transactions, Volume 6, Issue 4, pp. xx (2007).
12. A Chromium-free Defect Etching Solution for Application on SOI, J. Mähliß, A. Abbadie and B. O. Kolbesen, in *Silicon-on-Insulator Technology and Devices 13*, (edited by G. Celler et al.), ECS Transactions, Volume 6, Issue 4, pp. xx (2007).
13. Wafer engineering by Smart Cut™ technology: status, future development and technical challenges, Oleg Kononchuk, Bruno Ghyselen, and Carlos Mazuré, NATO International Advanced Research Workshop. "Nanoscaled Semiconductor-on-Insulator Structures and Devices", Sudak, Crimea, Ukraine, (Oct. 2006) proceedings info to be filled in later
14. Study of Fin Profiles on MuGFETs built on SOI Wafers with Silicon Nitride on Top of Oxide as Buried Insulator, P. Patruno, M. Kostrzewa, B. Ghyselen, W. Xiong, C. Rinn Cleavelin, Che-Hua Hsu, M. Ma, J-P Colinge, SOI 2007 IEEE International SOI Conference, Miramonte Resort and Spa, Indian Wells, California, 01.10 – 04.10 2007

Trade Journals

1. Tutorial: SOI wafer technology, Makoto Yoshimi, Sadao Nakashima, Nikkei Microdevices, 2006, November issue, pp.112-119.

Publications CEA :

- V. Carron et al., "Nickel Selective Etching Studies for Self-Aligned Silicide Process in Ge and SiGe-Based Devices", Proceedings of the ECS, 2006
- L. Clavelier et al., "Review of Some Critical Aspects of Ge and GeOI Substrates", Proceedings of ECS 2006
- C. Le Royer et al., "Optical and Electrical Characterization of Thin Germanium-On-Insulator (GeOI) Implanted Layers", Proceedings SOI Conference, 06-127, 2006
- P. Batude et al., "New Insights On Fundamental Mechanisms impacting Ge capacitors with High-k/Metal Gate Stacks", Applied Physics Letters, 2007
- E. Martinez et al., "Band offsets of HfO₂/GeON/Ge stacks measured by ultraviolet and soft x-ray photoelectron spectroscopies", Applied Physics Letters, 90, 053508, 2007
- C. Le Royer et al., "0.12µm P-MOSFETs with High-K and Metal Gate Fabricated in a Si Process Line on 200mm GeOI Wafers", Proceedings of Essderc '07
- Low Temperature Void Free Hydrophilic Or Hydrophobic Silicon Direct Bonding, F. Fournel, H. Moriceau, R. Beneyton, ECS Wafer Bonding 2006
- Y. Lamrani, J. Ch. Barbé, M. Kostrzewa, Realistic Thermal Simulations of Matrices of MOS Transistors on SOI Substrates: Effects of Alternative BOX and of Metallic layer, VII Conference Thermal Problems in Electronics, 24.06 - 28.06. 2007 Lodz, Poland
- P. Patruno, M. Kostrzewa, B. Ghyselen, W. Xiong, C. Rinn Cleavelin, Che-Hua Hsu, M. Ma, J-P Colinge, Study of Fin Profiles on MuGFETs built on SOI Wafers with Silicon Nitride on Top of Oxide as Buried Insulator, SOI 2007 IEEE International SOI Conference, Miramonte Resort and Spa, Indian Wells, California, 01.10 – 04.10 2007